

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-004240

(43)Date of publication of application : 06.01.1999

(51)Int.CI. H04L 12/40

H04L 12/56

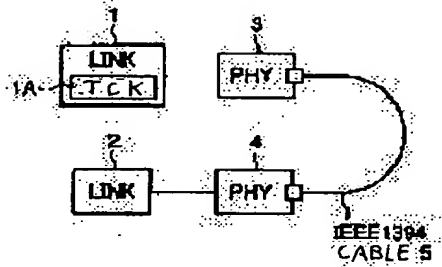
H04L 29/00

H04L 29/14

(21)Application number : 09-154755 (71)Applicant : SONY CORP

(22)Date of filing : 12.06.1997 (72)Inventor : KATSURANO
KENJI

(54) COMMUNICATION CONTROLLER



(57)Abstract:

PROBLEM TO BE SOLVED: To easily check a chip for executing a communication control by providing a generating means for generating data for test for testing whether a normal operation is performed or not and storing a packet processing means and generating means in one chip.

SOLUTION: In a test system for testing a LINK circuit and a PHY circuit, a LINK chip 1 incorporates a test circuit 1A and the test circuit 1A outputs test data. The LINK chip 1 is also equipped with a switch and is made to select either a host interface side or the test circuit 1A side in accordance with a control signal supplied from outside. The testing circuit 1A consists of a data generation circuit for test packet and this data generation circuit for test packet is made to generate and output the test data.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-4240 ✓

(43) 公開日 平成11年(1999) 1月6日

(51) Int.Cl.⁸

識別記号

F I

H 0 4 L 12/40

H 0 4 L 11/00

3 2 0

12/56

11/20

1 0 2 Z

29/00

13/00

Z

29/14

3 1 5 Z

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号

特願平9-154755

(22) 出願日

平成9年(1997) 6月12日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 桂野 健二

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

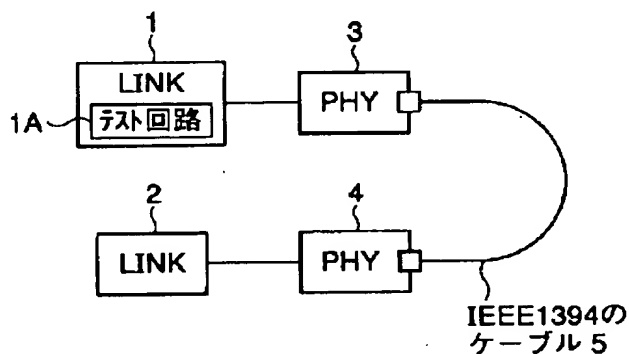
(74) 代理人 弁理士 稲本 義雄

(54) 【発明の名称】 通信制御装置

(57) 【要約】

【課題】 IEEE 1394 に準拠した通信制御を行う I C のチェックを容易に行うことができるようにする。

【解決手段】 外部からのデータを IEEE 1394 に準拠したパケットにパケット化するとともに、パケットをデータに復元する L I N K 回路が構成された I C である L I N K チップ 1 が、動作確認のためのテストデータを出力するテスト回路 1 A を内蔵している。



1

【特許請求の範囲】

【請求項1】 データをパケット化するとともに、パケットをデータに復元するパケット処理手段を有する、通信制御を行う通信制御装置であって、正常動作するかどうかをテストするためのテスト用のデータを生成する生成手段を備え、前記パケット処理手段および生成手段が1チップに収められていることを特徴とする通信制御装置。

【請求項2】 前記テスト用のデータをパケット化したものを復元したデータと、前記テスト用のデータとを比較する比較手段をさらに備え、前記パケット処理手段、生成手段、および比較手段が1チップに収められていることを特徴とする請求項1に記載の通信制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、通信制御装置に関し、特に、例えば、IEEE (Institute of Electrical and Electronic Engineers) 1394などの規格に準拠した通信制御を行う1チップのIC (Integrated Circuit) などに用いて好適な通信制御装置に関する。

【0002】

【従来の技術】例えば、IEEE 1394の規格に準拠した通信制御を行う通信制御装置は、アプリケーションとのインターフェイスとして機能するとともに、データを1パケット相互間の変換を行うLINK回路（リンク回路）と、LINK回路からのパケットをケーブルを介して送信するとともに、ケーブルからのパケットを受信し、LINK回路に供給するPHY回路（PHYSical layerドライバ回路）とから構成される。LINK回路とPHY回路は、別々のICとして構成される場合もあるし、また、両者を一体化した1のICで構成される場合もある。

【0003】LINK回路およびPHY回路には、通常の動作を行う通常モードの他、正常動作するかどうかをテストするためのテストモードが、一般に用意されている。

【0004】図6は、LINK回路とPHY回路とが、例えば別々のチップで構成される場合の、そのLINK回路およびPHY回路をテストするテストシステム（システムとは、複数の装置が論理的に集合したものをいい、各構成の装置が同一筐体中にあるか否かは問わない）の一例の構成を示している。

【0005】外部コントローラ100は、LINKチップ101および102、並びにPHYチップ3および4が正常動作するかどうかを確認するためのテストデータ（テスト用のデータ）を、例えば、LINKチップ101に出力する。LINKチップ101上には、LINK回路が構成されており、外部コントローラ100からのテストデータを、PHYチップ3に出力する。PHYチ

2

ップ3上には、PHY回路が構成されており、LINKチップ101からのテストデータを、例えば、IEEE 1394の規格に準拠して、ケーブル5に出力する。ケーブル5に出力されたテストデータは、PHYチップ3と同様に構成されるPHYチップ4で受信され、さらに、LINKチップ101と同様に構成されるLINKチップ102を介して、外部コントローラ100に供給される。

【0006】外部コントローラ100は、テストデータをLINKチップ101に送信した後、LINKチップ102からテストデータを受信すると、両者を比較し、その比較結果に基づいて、LINKチップ101および102、並びにPHYチップ3および4が正常動作しているかどうかをチェックする。

【0007】なお、上述の場合においては、テストデータを外部コントローラ100に出力するとともに、PHYチップ3および4を介して、LINKチップ102から出力されるテストデータを、外部コントローラ100で受信するようにしたが、その他、テストデータは、外部コントローラ100において、LINKチップ102に出力し、LINKチップ101から受信しても良い。

【0008】また、チェックは、外部コントローラ100と、LINKチップ101または102それぞれの接続点に、例えば、ロジックアナライザなどの測定器を接続して行うようにすることなども可能である。

【0009】さらに、LINKチップ102が出力するテストデータは、外部コントローラ100以外の外部コントローラで受信するようにすることなども可能である。

【0010】図7は、図6のLINKチップ101および102の構成例を示している。

【0011】ホストインターフェイス（Host I/F）13は、外部コントローラ100との間でデータをやりとりするためのインターフェイスとして機能し、外部コントローラ100からのデータを、パケットデータ生成／検出回路15に出力し、また、パケットデータ生成／検出回路15からのデータを、外部コントローラ100に出力するようになされている。パケットデータ生成／検出回路15は、ホストインターフェイス13からのデータを、IEEE 1394の規格に準拠したパケットにして、トランスミッタ16に出力し、また、レシーバ17からのパケットを、元のデータに復元して、ホストインターフェイス13に出力するようになされている。トランスミッタ16は、パケットデータ生成／検出回路15からのパケットを、RHYインターフェイス（RHY I/F）18に出力するようになされている。レシーバ17は、RHYインターフェイス18からのパケットを、パケットデータ生成／検出回路15に出力するようになされている。RHYインターフェイス13は、RHYチップ3（または4）との間でデータをやり

3

りとりするためのインターフェイスとして機能し、トランスミッタ 16 からのパケットを、RHY チップ 3 (または 4) に出力し、また、RHY チップ 3 (または 4) からのパケットを、レシーバ 17 に出力するようになされている。

【0012】いま、以上のように構成される LINK チップ 101 および 102 において、LINK チップ 101 側からテストデータが送信され、LINK チップ 102 側で、そのテストデータが受信されるものとする、外部コントローラ 100 からのテストデータは、LINK

チップ 101 に供給される。

【0013】LINK チップ 101 では、外部コントローラ 100 からのテストデータが、ホストインターフェイス 13 を介して、パケットデータ生成/検出回路 15 に供給される。パケットデータ生成/検出回路 15 では、テストデータがパケットにされ、トランスミッタ 16 に供給される。トランスミッタ 16 では、パケットデータ生成/検出回路 15 からのパケットが、PHY インターフェイス 18 を介して、PHY チップ 3 に送信される。

【0014】そして、このパケットは、PHY チップ 3 から、ケーブル 5 および PHY チップ 4 を介して、LINK チップ 102 で受信される。LINK チップ 102 では、そのパケットが、PHY インターフェイス 18 を介して、レシーバ 17 に供給される。レシーバ 17 は、そのパケットを、パケットデータ生成/検出回路 15 に出力し、パケットデータ生成/検出回路 15 では、レシーバ 17 からのパケットが、元のテストデータに復元される。このテストデータは、ホストインターフェイス 13 を介して、外部コントローラ 100 に出力される。

【0015】

【発明が解決しようとする課題】以上のように、従来においては、LINK チップ 101 および 102、並びに PHY チップ 3 および 4 が正常動作しているかどうかをチェックするのに、テストデータを出力する外部コントローラ 100 を用意しなければならず、面倒であった。

【0016】本発明は、このような状況に鑑みてなされたものであり、通信制御を行うチップのチェックを容易に行うことができるようにするものである。

【0017】

【課題を解決するための手段】本発明の通信制御装置は、正常動作するかどうかをテストするためのテスト用のデータを生成する生成手段を備え、パケット処理手段および生成手段が 1 チップに収められていることを特徴とする。

【0018】上記構成の通信制御装置においては、生成手段が、正常動作するかどうかをテストするためのテスト用のデータを生成するようになされており、パケット処理手段および生成手段が 1 チップに収められている。

【0019】

4

【発明の実施の形態】図 1 は、LINK 回路と PHY 回路とが、例えば別々のチップで構成される場合の、その LINK 回路および PHY 回路をテストするテストシステムの第 1 実施の形態の構成例を示している。なお、図中、図 6 における場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。即ち、このテストシステムは、外部コントローラ 100 が設けられておらず、LINK チップ 101 または 102 それぞれに代えて、LINK チップ 1 または 2 が設けられている他は、図 6 のテストシステムと基本的に同様に構成されている。

【0020】LINK チップ 1 は、テスト回路 1A を内蔵しており、テスト回路 1A は、テストデータを出力するようになされている。なお、図示していないが、LINK チップ 2 も、同様のテスト回路を内蔵している。なお、LINK チップ 2 には、テスト回路を内蔵させないようにする、即ち、LINK チップ 2 は、LINK チップ 102 と同様に構成することも可能である (LINK チップ 1 または 2 の少なくとも一方が、テスト回路 1A を内蔵していれば良い)。

【0021】図 2 は、図 1 の LINK チップ 1 の構成例を示している。なお、図中、図 7 における場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。即ち、LINK チップ 1 は、スイッチ 11 および 12、並びにテスト回路 1A が新たに設けられている他は、図 7 の LINK チップ 101 と基本的に同様に構成されている。

【0022】スイッチ 11 および 12 は、外部から供給される制御信号にしたがって、ホストインターフェイス 13 側またはテスト回路 1A 側のうちのいずれか一方を選択するようになされている。テスト回路 1A は、テストパケット用データ生成回路 14 (生成手段) で構成され、このテストパケット用データ生成回路 14 は、テストデータを生成して出力するようになされている。

【0023】次に、その動作について説明する。

【0024】通常モードでは、スイッチ 11 および 12 が、ホストインターフェイス 13 側を選択するように切り換えられるとともに、ホストインターフェイス 13 がイネーブル (enable) 状態に、テスト回路 1A はディスエーブル (disable) 状態とされる。従って、外部からのデータは、スイッチ 11、ホストインターフェイス 13、およびスイッチ 12 を介して、パケットデータ生成/検出回路 15 (パケット処理手段) に供給される。従って、この場合、データは、パケットデータ生成/検出回路 15 でパケットにされた後、トランスミッタ 16 および PHY インターフェイス 18 を介して出力される。

【0025】また、PHY インターフェイス 18 にパケットが供給された場合には、そのパケットは、レシーバ 17 を介して、パケットデータ生成/検出回路 15 に供給される。パケット生成/検出回路 15 では、レシーバ

5

17からのパケットが元のデータに復元され、スイッチ12、ホストインターフェイス13およびスイッチ11を介して、外部に出力される。

【0026】一方、テストモードでは、スイッチ11および12が、テスト回路1A側を選択するように切り換えられるとともに、ホストインターフェイス13がディスエーブル(disable)状態に、テスト回路1Aはイネーブル(enable)状態とされる。なお、ここでは、例えば、LINKチップ1からテストデータが送信され、LINKチップ2で、そのテストデータが受信されるものとする。この場合、スイッチ11および12が、上述したように切り換えられるのは、テストデータを送信するLINKチップ1だけで、LINKチップ2では、そのような切り換えは行われない。さらに、この場合、LINKチップ2では、通常モードと同様に、ホストインターフェイス13がイネーブル(enable)状態に、テスト回路1Aはディスエーブル(disable)状態とされる。

【0027】LINKチップ1において、テスト回路1Aは、イネーブル(enable)状態とされると、テストデータを、スイッチ11および12に出力する。スイッチ12は、テスト回路1A側を選択しているから、テスト回路1Aからのテストデータは、スイッチ12を介して、パケットデータ生成/検出回路15に供給される。そして、以下、通常のデータを送信する場合と同様に、テストデータは、PHYチップ3および4を介して、LINKチップ2に送信される。

【0028】テストデータを受信するLINKチップ2においては、上述したように、スイッチ11および12は、ホストインターフェイス13側を選択しているの、通常のデータを受信する場合と同様に、LINKチップ1からのテストデータが、PHYインターフェイス18、レシーバ17、パケットデータ生成/検出回路15、スイッチ12、ホストインターフェイス13、およびスイッチ11を介して、外部に出力される。

【0029】また、LINKチップ1では、テスト回路1Aが出力したテストデータは、上述したように、スイッチ11にも供給されており、従って、スイッチ11を介して、外部に出力される。

【0030】以上のようにして、LINKチップ1から出力される、LINK2に送信したテストデータと同一のテストデータと、LINKチップ2から出力される、LINKチップ1から受信したテストデータとが、例えば、ロジックアラナイザなどを用いて比較され、これにより、LINKチップ1および2、並びにPHYチップ3および4が正常動作しているかどうかを確認される。

【0031】以上のように、テスト回路1Aを、LINKチップ1に内蔵させるようにしたので、例えば、図6で説明した従来のように、チェックを行うのに、テストデータを生成するための外部コントローラ100などを用意する必要がない。即ち、チェックを容易にすること

6

ができる。

【0032】なお、上述の場合においては、LINKチップ1からテストデータを送信し、LINKチップ2において、そのテストデータを受信するようにしたが、その逆に、LINKチップ2からテストデータを送信し、LINKチップ1において、そのテストデータを受信するようにすることも可能である。但し、この場合、スイッチ11および12がテストデータを出力するように切り換えられるのは、LINKチップ2についてだけで、LINKチップ1については、そのような切り換えは行われない。また、この場合、LINKチップ2では、ホストインターフェイス13がディスエーブル(disable)状態に、テスト回路1Aはイネーブル(enable)状態にされるが、LINKチップ1では、通常モードと同様に、ホストインターフェイス13がイネーブル(enable)状態に、テスト回路1Aはディスエーブル(disable)状態にされる。

【0033】次に、図3は、本発明を適用したテストシステムの第2実施の形態の構成例を示している。なお、図中、図1における場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。即ち、このテストシステムは、LINKチップ1または2に代えて、LINKチップ21または22が設けられ、さらに、LINKチップ21と22とがケーブル23によって直接接続されている他は、図1のテストシステムと基本的に同様に構成されている。

【0034】図4は、図3のLINKチップ21の構成例を示している。なお、図中、図2における場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。即ち、LINKチップ21は、テスト回路1Aに代えて、テスト回路21Aが設けられている他は、LINKチップ1と基本的に同様に構成されている。

【0035】テスト回路21Aは、テストパケット用データ生成回路14の他に、データ比較回路31(比較手段)も有している。データ比較回路31は、スイッチ11を介して供給されるデータと、スイッチ12を介して供給されるデータとを比較し、その比較結果を、外部に出力するようになされている。

【0036】なお、図3のLINKチップ22も、図4に示したLINKチップ21と同様に構成されている。ここで、以下、適宜、図4に示した各ブロックを、LINKチップ21についてのものに関しては、各符号に、下付きの21を付して、LINKチップ22についてのものに関しては、各符号に、下付きの22を付して、それぞれ記述する。即ち、例えば、LINKチップ21を構成するホストインターフェイス13は、ホストインターフェイス13₂₁と、LINKチップ22を構成するホストインターフェイス13は、ホストインターフェイス13₂₂と、それぞれ記述する。但し、LINKチップ2

7

2における、テスト回路 2 1 Aに相当するテスト回路は、例えば、図 3に示すようにテスト回路 2 2 Aと記述する。

【0037】次に、その動作について、図 5のタイミングチャートを参照して説明する。なお、通常モードでは、図 1および図 2における場合と同様に、データのやりとりが行われるので、その説明は省略し、ここでは、テストモードにおける場合についてだけ説明する。

【0038】テストモードでは、LINKチップ 2 1において、スイッチ 1 1₂₁および 1 2₂₁が、テスト回路 2 1 A側を選択するように切り換えられるとともに、ホストインターフェイス 1 3₂₁がディスエーブル (disable) 状態に、テスト回路 2 1 Aがイネーブル (enable) 状態にされる。さらに、LINKチップ 2 2においても、スイッチ 1 1₂₂および 1 2₂₂が、テスト回路 2 2 A側を選択するように切り換えられるとともに、ホストインターフェイス 1 3₂₂がディスエーブル (disable) 状態に、テスト回路 2 2 Aがイネーブル (enable) 状態とされる。

【0039】そして、例えば、いま、LINKチップ 2 1からテストデータが送信され、LINKチップ 2 2で、そのテストデータが受信されるものとする、テストデータを送信するLINKチップ 2 1のテスト回路 2 1 Aを構成するデータパケット用データ生成回路 1 4₂₁またはデータ比較回路 3 1₂₁のうち、データパケット用データ生成回路 1 4₂₁はイネーブル (enable) 状態に、データ比較回路 3 1₂₁はディスエーブル (disable) 状態にされる。また、テストデータを受信するLINKチップ 2 2のテスト回路 2 2 Aを構成するデータパケット用データ生成回路 1 4₂₂またはデータ比較回路 3 1₂₂のうち、データパケット用データ生成回路 1 4₂₁はディスエーブル (disable) 状態に、データ比較回路 3 1₂₁はイネーブル (enable) 状態にされる。

【0040】LINKチップ 2 1において、イネーブル (enable) 状態にされたテストパケット用データ生成回路 1 4₂₁は、テストデータを、スイッチ 1 1₂₁および 1 2₂₁に出力する (図 5 (A))。スイッチ 1 2₂₁は、テスト回路 2 1 A側を選択しているから、テストパケット用データ生成回路 1 4₂₁が出力したテストデータは、スイッチ 1 2₂₁を介して、パケットデータ生成/検出回路 1 5₂₁に供給される。そして、以下、通常のデータを送信する場合と同様に、テストデータ (の packets) は、PHYチップ 3および 4を介して、LINKチップ 2 2に送信される (図 5 (B))。

【0041】また、LINKチップ 2 1において、スイッチ 1 1₂₁も、テスト回路 2 1 A側を選択しているから、テストパケット用データ生成回路 1 4₂₁が出力したテストデータは、スイッチ 1 1₂₁を介して出力される。いまの場合、LINKチップ 2 1のスイッチ 1 1₂₁と、LINKチップ 2 2のスイッチ 1 1₂₂とは、ケーブ

8

ル 2 3 (図 3) を介して直接接続されており、従って、スイッチ 1 1₂₁を介して出力されたテストデータは、LINKチップ 2 2のスイッチ 1 1₂₂に供給される (図 5 (D))。スイッチ 1 1₂₂は、上述したように、テスト回路 2 2 A側を選択しており、従って、スイッチ 1 1₂₂に供給されたテストデータは、テスト回路 2 2 Aに供給され、イネーブル (enable) 状態になっているデータ比較回路 3 1₂₂で受信される。データ比較回路 3 1₂₂では、以上のようにして供給されるテストデータが記憶 (ラッチ) される (図 5 (D))。

【0042】そして、PHYチップ 3および 4を介して、LINKチップ 2 1から送信されてきたテストデータ (の packets) (図 5 (B)) は、LINKチップ 2 2のPHYインターフェイス 1 8₂₂で受信され、レシーバ 1 7₂₂およびパケットデータ生成/検出回路 1 5₂₂を介して、スイッチ 1 2₂₂に供給される。スイッチ 1 2₂₂は、テスト回路 2 2 A側を選択しており、従って、パケットデータ生成/検出回路 1 5₂₂を介して供給されたテストデータは、スイッチ 1 2₂₂を介して、テスト回路 2 2 Aに供給される (図 5 (C))。テスト回路 2 2 Aでは、スイッチ 1 2₂₂を介して供給されたテストデータが、イネーブル (enable) 状態になっているデータ比較回路 3 1₂₂で受信される。データ比較回路 3 1₂₂では、スイッチ 1 2₂₂を介して供給されたテストデータ (図 5 (C)) と、スイッチ 1 1₂₂を介して供給され、既に記憶されたテストデータ (図 5 (D)) とが比較され、比較され、これにより、LINKチップ 2 1および 2 2、並びにPHYチップ 3および 4が正常動作しているかどうかの確認される。そして、正常動作しているかどうかの確認結果に対応して、その旨を示すフラグが外部に出力される。

【0043】以上のように、テスト回路 2 1 Aまたは 2 2 Aを、LINKチップ 2 1または 2 2にそれぞれ内蔵させるようにしたので、例えば、図 6で説明した従来のように、チェックを行うのに、外部コントローラ 1 0 0 などを用意する必要がない。さらに、この場合、ロジックアナライザなどの計測器も用意する必要がない。即ち、チェックを、より容易にすることができる。

【0044】なお、上述の場合においては、LINKチップ 2 1からテストデータを送信し、LINKチップ 2 2において、そのテストデータを受信するようにしたが、その逆に、LINKチップ 2 2からテストデータを送信し、LINKチップ 2 1において、そのテストデータを受信ようにすることも可能である。但し、この場合、テスト回路 2 1 Aを構成するデータパケット用データ生成回路 1 4₂₁またはデータ比較回路 3 1₂₁は、それぞれディスエーブル (disable) 状態またはイネーブル (enable) 状態にされ、また、テスト回路 2 2 Aを構成するデータパケット用データ生成回路 1 4₂₂またはデータ比較回路 3 1₂₂は、それぞれイネーブル (enable)

状態またはディスエーブル (disable) 状態にされる。

【0045】以上、本発明を、IEEE 1394 の規格に準拠した通信制御を行うチップに適用した場合について説明したが、本発明は、その他の規格に対応した通信制御を行うチップにも適用可能である。

【0046】なお、本実施の形態では、LINK 回路と、PHY 回路とを、別々のチップで構成するようにしたが、これらは、1 チップで構成することも可能である。

【0047】

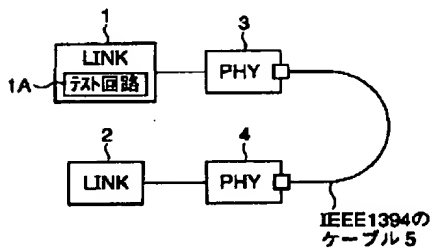
【発明の効果】以上の如く、本発明の通信制御装置によれば、データをパケット化するとともに、パケットをデータに復元するパケット処理手段と、正常動作するかどうかをテストするためのテスト用のデータを生成する生成手段とが 1 チップに収められているので、正常動作するかどうかのテストを容易に行うことが可能となる。

【図面の簡単な説明】

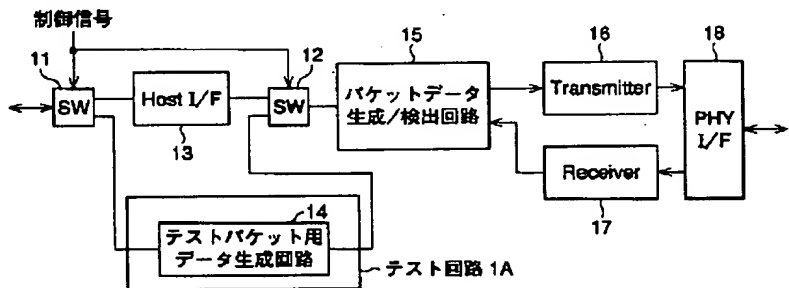
【図 1】本発明を適用したテストシステムの第 1 実施の形態の構成例を示すブロック図である。

【図 2】図 1 の LINK チップ 1 の構成例を示すブロック図である。

【図 1】

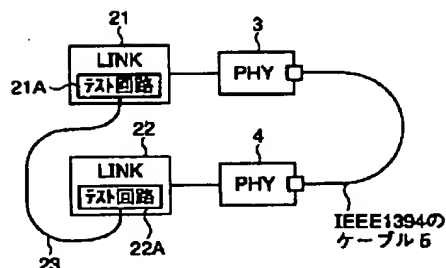


【図 2】

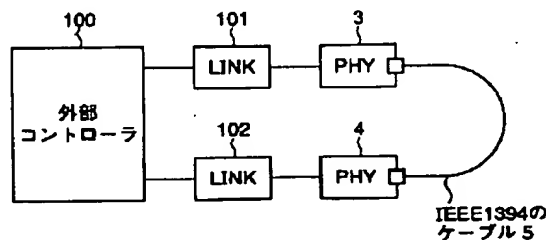


LINKチップ 1

【図 3】



【図 6】



【図 3】本発明を適用したテストシステムの第 2 実施の形態の構成例を示すブロック図である。

【図 4】図 3 の LINK チップ 21 の構成例を示すブロック図である。

【図 5】第 2 実施の形態の動作を説明するためのタイミングチャートである。

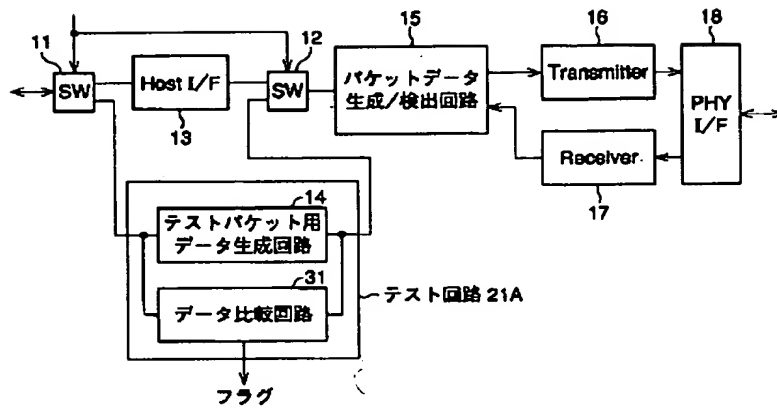
【図 6】従来のテストシステムの一例の構成を示すブロック図である。

【図 7】図 6 のリンクチップ 101 (102) の構成例を示すブロック図である。

【符号の説明】

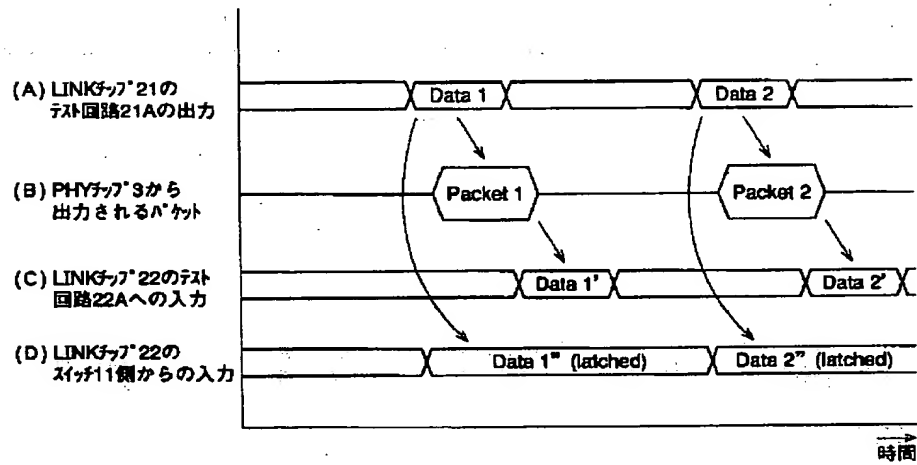
1, 2 LINK チップ, 3, 4 PHY チップ, 5 ケーブル, 11, 12 スイッチ, 13 ホストインターフェイス, 14 テストパケット用データ生成回路 (生成手段), 15 パケットデータ生成/検出回路 (パケット処理手段), 16 トランスミッタ, 17 レシーバ, 18 PHY インターフェイス, 21, 22 LINK チップ, 21A, 22A テスト回路, 23 ケーブル, 31 データ比較回路 (比較手段)

【図 4】

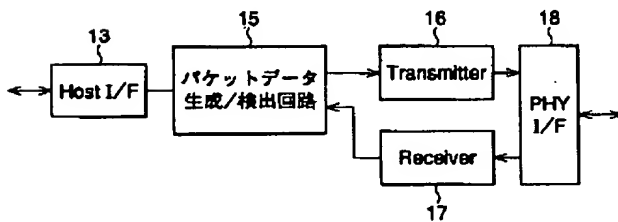


LINKチップ 21

【図 5】



【図 7】



LINKチップ 101 (102)